

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-007150
(43)Date of publication of application : 14.01.1987

(51)Int.CI. H01L 27/10
G11C 11/34

(21)Application number : 60-144574 (71)Applicant : AGENCY OF IND SCIENCE & TECHNOLOGY

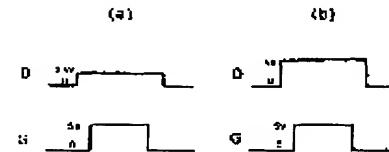
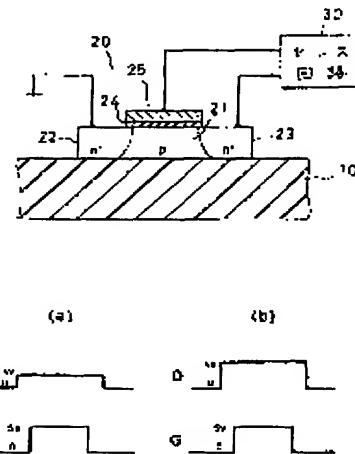
(22)Date of filing : 03.07.1985 (72)Inventor : IKEDA HIROSHI
KATO KOICHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To provide memory function in an MOS transistor itself by controlling the amplitude of a voltage applied to the gate and drain of an MOS transistor formed on an insulator.

CONSTITUTION: A sensing circuit 30 writes, erases and reads out information to control the amplitude and timing of a voltage applied to a gate 25 and a drain 23. The circuit 30 applies a voltage of the degree not generating an impact ionization to the drain 23 at writing time, applies a voltage of threshold value or higher to the gate 25, and then abruptly set the gate voltage to zero. It applies a voltage of the degree for generating impact ions to the drain 23 at erasing time, applies a voltage of threshold value of higher to the gate 25, and then abruptly sets the gate voltage to zero. It applies a gate voltage of threshold value or higher in the state that a voltage of the degree not generating an impact ionization is applied to the drain 23 at writing time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

② 日本国特許庁 (JP)

① 特許出願公開

② 公開特許公報 (A) 昭62-7150

③ Int.Cl.⁴
H 01 L 27/10
G 11 C 11/34識別記号 庁内整理番号
6655-5F

④ 公開 昭和62年(1987)1月14日

審査請求 有 発明の数 1 (全4頁)

⑤ 発明の名称 半導体記憶装置

⑥ 特開 昭60-144574
⑦ 出願 昭60(1985)7月3日⑧ 発明者 池田 博 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑨ 発明者 加藤 弘一 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑩ 出願人 工業技術院長

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 電気的に浮遊している一端電極の半導体層の両端に該半導体層と逆偏極型の不純物層からなるソース・ドレインを形成し、且つ上記半導体層上に絶縁膜を介してゲート電極を形成してなるMOSトランジスタと、前記ゲート電極の電位を変化させることにより前記半導体層の電位を変化せしめ、多數キャリアの増減により情報の書き込みを行う書き込み手段と、前記半導体層内の多數キャリアの量を定常状態に戻す書き出し手段と、チャネルに電流を流した時に前記半導体層中の多數キャリア数の大小によるチャネルコンダクタンスの大小を検出することによって情報を読み出す書き出し手段とを具備してなることを特徴とする半導体記憶装置。

(2) 前記書き込み手段は、ドレインにインパクトイオン化の生じない程度の電圧を印加しておき、ゲート電極をしきい値以上の電圧から負載に等にすることである特許請求の範囲第1項記載の半導体記憶装置。

ゲート電圧をしきい値以上の電圧から負載に等にすることである特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記書き出し手段は、ドレインにインパクトイオン化の生じる程度の電圧を印加しておき、ゲート電極をしきい値以上の電圧を印加することである特許請求の範囲第1項記載の半導体記憶装置。

(4) 前記書き出し手段は、ドレインにインパクトイオン化の生じない程度の電圧を印加しておき、ゲートにしきい値以上の電圧を印加することである特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体記憶装置に係わり、特に結晶基板上の半導体層中に形成されるMOSトランジスタを用いた半導体記憶装置に関する。

(発明の技術的背景とその問題点)

従来、情報の蓄え可能な半導体記憶素子としては、

特開昭62-7150(2)

FAMOS (Floating Gate Avalanche Injection-MOS)、SAMOS (Stacked Gate Avalanche Injection MOS)、MNOS (Metal Nitride Oxide Semiconductor) 等が開発されている。

しかしながら、この種の半導体記憶素子にあっては次のような問題があった。即ち、ゲート電極を絶縁膜の中に封じ込める構造であったり、ゲート電極下の絶縁膜を多層構造としたり、或いは2層電極構造を用いる必要があるため、構成が複雑であり、通常のMOSFETに比べてその製作が非常に困難である。また、情報の書き込み時に高いゲート電圧を必要とし、そのための回路が必要であったり、高耐圧のトランジスタを使用する必要があり、製造コストが増大する等の問題があった。(発明の目的)

本発明は上記事情を考慮してなされたもので、その目的とするところは、絶縁膜上に形成されるMOSトランジスタを利用して、簡単な構造で書き換え可能な半導体記憶装置を提供することにある。

出す読み出し手段とを設けるようにしたものである。(発明の効果)

本発明によれば、1個のMOSトランジスタで1個の記憶素子を実現することができる。このため、構造が簡単となり、従来構成よりも安価に製造することができる。さらに、高い電圧を必要とせず、そのための回路対策及び電子対策も不要となり、このことからも製造コストの低減化に有効である。

(発明の実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の一実施例に係わる半導体記憶装置を示す概略構成図である。絶縁体10上に形成されたP型シリコン層(浮遊基板)21にN型不純物をドーピングしてソース・ドレイン領域22、23を形成し、さらにゲート酸化膜24を介してゲート電極25を形成してなるMOSトランジスタ20が構成されている。ここで、シリコン層21は、 SiO_2 膜等の絶縁体10上に多結

(発明の概要)

本発明の骨子は、1個のMOSトランジスタで1個の記憶素子を実現することにあり、絶縁膜上に形成されるMOSトランジスタのゲート及びドレインに印加する電圧の大きさを制御することにより、MOSトランジスタ自体に記憶機能を持たせることにある。

即ち本発明は、情報の書き込み及び読み出しを行う半導体記憶装置において、電気的に浮遊している一導電型の半導体膜の両端に該半導体膜と逆導電型の不純物膜からなるソース・ドレインを形成し、且つ上記半導体膜上に絶縁膜を介してゲート電極を形成してなるMOSトランジスタと、前記ゲート電極の電位を変化させることにより前記半導体膜の電位を変化せしめ、多数キャリアの消滅により情報の書き込みを行う書き込み手段と、前記半導体膜内の多数キャリアの量を定常状態に戻す消去手段と、チャネルに電流を流した時に前記半導体膜中の多数キャリア数の大小によるチャネルコンダクタンスの大小を検出することによって情報を読

出す読み出し手段とを設けるようにしたものである。品や非品質のシリコン層を堆積した後に、ビームアニールによって膜厚を単結晶化して形成されたものである。そして、このシリコン層21は、厚膜状態となっている。

上記MOSトランジスタ20のソース22は接地され、ドレイン23及びゲート電極25はセンス回路30に接続されている。センス回路30は、MOSトランジスタ20に対し情報の書き込み、消去及び読み出しを行うもので、ゲート25及びドレイン23に印加する電圧の大きさ及びタイミング等を制御するものとなっている。

ここで、センス回路30においては、情報の書き込み時及び消去時に次のような電圧を発生する。書き込み時は、第2図(a)に示す如くドレイン23にインパクトイオン化の生じない程度の電圧を印加しておき、ゲート25にしきい値以上の電圧を印加した後、このゲート電圧を急激に零にする。消去時は、第2図(b)に示す如くドレイン23にインパクトイオン化が生じる程度の電圧を印加しておき、ゲート25にしきい値以上の電圧を

特開昭62-7150(3)

印加した後、このゲート電圧を急激に零にする。また、読み込み時には、ドレイン23にインパクトイオン化の生じない程度の電圧を印加した状態でしきい値以上のゲート電圧を印加するものとなっている。

なお、上記のMOSトランジスタ20は通常の半導体メモリ素子と同様に、マトリックス状に配列し、ゲート及びドレインをそれぞれワード線及びビット線に接続することにより、記憶回路として機能するものとなっている。

次に、上記構成された半導体記憶装置の作用について説明する。

まず、情報を書き込む場合は、ソース22を横地し、ドレイン23にインパクトイオン化の生じない程度の低い正電圧（例えば0.5V）を加えた後、ゲート電極25にしきい値電圧以上の正の電圧（例えば5V）を加えて浮遊基板21の結線膜24下にチャネルを作り、その箇所にゲート電圧をしきい値以下に低下させる。このようにゲート電圧を急激に低下させると、チャネル内の電子

すると、インパクトイオン化のための正孔が浮遊基板21に多く溜まる。

半導体記憶素子に書き込まれた情報を読み出す場合は、ドレイン23をビット線に接続し、ビット線は予めある電圧（例えば2.5V）に充電しておく。その後、ゲート電極25の電圧をしきい値電圧以上に上げると、ドレイン電流が流れ。この時、ビット線の電位はインパクトイオン化が生じない程度の電位に充電されているので、次にゲート電極25をしきい値電圧以下にして読み出しが終わると、浮遊基板21は負にバイアスされたまま情報が残る。浮遊基板21がバイアスされていない時は、ゲート電極25の電位を上げると電子が浮遊基板21内に流れ、正孔が下に押し下げられ、浮遊基板電位が上がり、しきい値電圧が下がって多いドレイン電流が流れ。この時には、ビット線をセンスして、インパクトイオン化が起こる程度の電位にする。そうすると、浮遊基板21はゲート電極25の電位を飛びしきい値より下げ読みしを終了すると、正孔が多数残り情報が保持され

がソース・ドレインに吸収されることになり、チャネル・基板間の結合のため、浮遊基板21の電位が下がる。すると、ソース・ドレインより供給される電子と浮遊基板21内の正孔とが、熱的に対消滅を起こし、浮遊基板21内の正孔密度が薄くなり、ソース22に対して浮遊基板21が急速に負にバイアスされたまま保持される。この状態は、MOSトランジスタ20にバックバイアスが加わった状態で、負にバイアスされるとしきい値電圧が上がり、ドレイン電流を測定すると、浮遊基板21がソース22と同電位のとき、即ち半導体記憶素子（MOSトランジスタ20）に情報が書き込まれていないときに比べて少ない電流しか流れない。

半導体記憶素子に記憶された情報を消去させる場合は、光を照射して浮遊基板21内に電子・正孔対を生成させ、浮遊基板21内の正孔の数を元に戻すか、或いはドレイン23にインパクトイオン化を起こす程度の電圧（例えば5V）を加え、その横ゲート電圧を加えて電位にしきい値以下に

る。

かくして本実施例によれば、MOSトランジスタ20に記憶素子の置換を持たせることができる。即ち1個のMOSトランジスタから1個のメモリ素子を実現することができる。しかも、MOSトランジスタ20の構造は通常のトランジスタ構造と同様でよく、また高い電圧を用いる必要ないので、その構造が容易であり、製造コストの大額な低減化をはかり得る。

なお、本発明は上述した実施例に限定されるものではない。例えば、並記MOSトランジスタはN型に限るものではなく、P型であってもよい。さらに、シリコン層はSiO₂等の非晶質絶縁体上に形成されたもの（SOI）ではなく、サブフィア等の単結晶絶縁体上に形成されたもの（SOS）であってもよい。また、MOSトランジスタのゲート及びドレイン等に印加するバイアス条件等は、使用するMOSトランジスタの特性に応じて適宜変更可能である。その他、本発明の更なる改良しない範囲で、種々変形して実施する

特開昭62-7150(4)

ことができる。

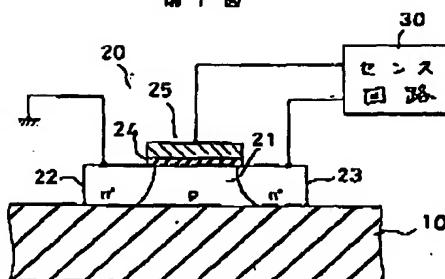
4. 図面の簡単な説明

第1図は本発明の一実施例に わる半導体記憶装置を示す図。成図、第2図(a) (b)は上記装置に用いたセンス回路の作用を説明するためのものでドレイン及びゲートに印加する電圧を示す信号波形図である。

10…絶縁体、20…N型MOSトランジスタ、
21…P型シリコン層(浮遊基板)、22…ソース、23…ドレイン、24…ゲート酸化膜、
25…ゲート電極、30…センス回路。

出願人 工業技術院長 客タカ 道

第1図



第2図

